

Requested Patent: JP2000148528A

Title:

PROGRAMMABLE JTAG NETWORK ARCHITECTURE TO SUPPORT  
PROPRIETARY DEBUG PROTOCOL ;

Abstracted Patent: US6425101 ;

Publication Date: 2002-07-23 ;

Inventor(s): GARREAU OLIVIER (US) ;

Applicant(s): INFINEON TECHNOLOGIES CORP (US) ;

Application Number: US19980183620 19981030 ;

Priority Number(s): US19980183620 19981030 ;

IPC Classification: G01R31/28 ;

Equivalents: DE19943941, GB2344430 ;

**ABSTRACT:**

An apparatus capable of testing a plurality of JTAG compliant integrated circuits where at least one of the integrated circuits includes an enhanced embedded debug module is described. The apparatus is capable of selectively testing certain of the integrated circuits located at specified locations. In this way, integrated circuits included in a target device having defective or missing integrated circuits can still be tested. The apparatus also allows access to enhanced JTAG debug protocol within a mixed IC (OCDS and non-OCDS) network

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-148528

(P2000-148528A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
G 0 6 F 11/22	3 3 0	G 0 6 F 11/22	3 3 0 B
	3 1 0		3 1 0 A
G 0 1 R 31/28		G 0 1 R 31/28	H

審査請求 未請求 請求項の数 8 O L (全 15 頁)

(21) 出願番号 特願平11-308954  
(22) 出願日 平成11年10月29日 (1999. 10. 29)  
(31) 優先権主張番号 0.9/1.83620  
(32) 優先日 平成10年10月30日 (1998. 10. 30)  
(33) 優先権主張国 米国 (US)

(71) 出願人 399035836  
インフィニオン テクノロジーズ ノース  
アメリカ コーポレイション  
Infineon Technolog  
ies North America Co  
rp  
アメリカ合衆国 カリフォルニア サン  
ホセ ノース ファースト ストリート  
1730  
(74) 代理人 100061815  
弁理士 矢野 敏雄 (外2名)

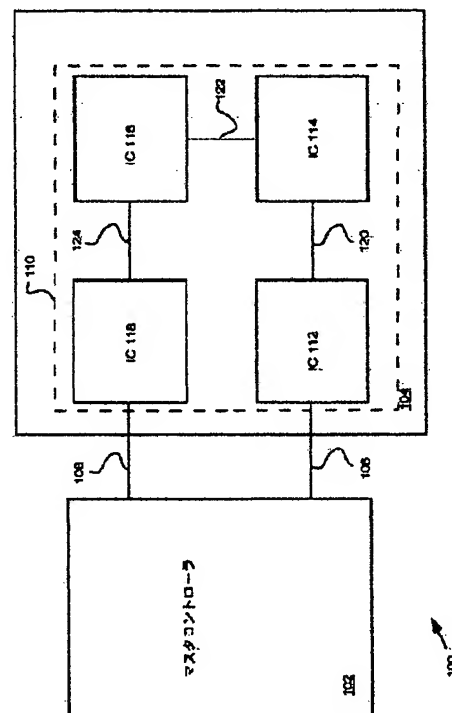
最終頁に続く

(54) 【発明の名称】 複数の JTAG 準拠集積回路のテスト装置および複数の集積回路をテストするためのテストシステム

(57) 【要約】

【課題】 複数の JTAG 準拠集積回路のテスト装置を提供する。

【解決手段】 オンチップデバッグプロトコルを含む集積回路のそれぞれに、対応するテストプロトコルを実行するために動作可能なマスタコントローラを設け、コンフィギュレーションデータにしたがってマスタコントローラが指令するように、マスタコントローラと、集積回路のうちの選択されたものとの間にテストループを選択的に形成するプログラマブルスイッチを設け、テストループは、テストプロトコルのうちの選択されたものを実行することを可能にし、集積回路のそれぞれにマスタコントローラを接続するデータバスを設ける。



## 【特許請求の範囲】

【請求項1】 JTAG準拠集積回路のそれぞれに、それぞれ1つのテストプロトコルが対応し、前記JTAG準拠集積回路のうちの少なくとも1つは、埋め込みデバッグ回路を含むオンチップデバッグサポート(OCDS)集積回路である、複数のJTAG準拠集積回路のテスト装置において、  
 オンチップデバッグプロトコルを含む前記集積回路のそれぞれに、それぞれ対応する前記テストプロトコルを実行するために動作可能なマスタコントローラを具備し、  
 コンフィギュレーションデータにしたがって前記マスタコントローラが指令するように、前記マスタコントローラと、集積回路のうちの選択されたものとの間にテストループを選択的に形成するプログラマブルスイッチを具備し、  
 前記テストループは、前記テストプロトコルのうちの前記選択されたものを実行することを可能にし、  
 前記集積回路のそれぞれに前記マスタコントローラを接続するデータバスを具備し、  
 前記データバスは、データ信号および制御信号を、前記マスタコントローラと前記集積回路との間で伝送するのに使用され、  
 前記データバスは、前記オンチップデバッグプロトコルを実行することとを特徴とする、複数のJTAG準拠集積回路のテスト装置。

【請求項2】 前記テストプロトコルが、  
 前記JTAG準拠集積回路の、対応するJTAG機能をテストするために使用される、選択されたJTAGテストプロトコルと、  
 前記OCDS集積回路の、対応するOCDS機能をテストするために使用される、選択されたOCDSテストプロトコルとを含むことを特徴とする、請求項1に記載の複数のJTAG準拠集積回路のテスト装置。

【請求項3】 前記マスタコントローラが、  
 テストする前記選択されたJTAG準拠集積回路に対応する前記JTAGテストプロトコルを実行するためデータバスに接続されているJTAGコントローラと、  
 前記テストする集積回路がOCDS集積回路である場合、前記OCDSテストプロトコルを実行する前記データバスに接続されているOCDSコントローラと、  
 前記テストするJTAG準拠集積回路のうちの選択されたものを、必要に応じて、前記JTAGコントローラに接続するために、プログラマブルスイッチを制御するスイッチ制御信号を供給するために、コンフィギュレーションデータを使用する、前記プログラマブルスイッチに接続されている前記プログラマブルスイッチコントローラとを含むことを特徴とする、請求項1または2に記載の複数のJTAG準拠集積回路のテスト装置。

【請求項4】 前記選択された集積回路のうちの少なくとも1つを有する、前記プログラマブルスイッチに接続されているスレイブターゲット装置を含むことを特徴とする、請求項1から3までのいずれか1項に記載の複数の

のJTAG準拠集積回路のテスト装置。

【請求項5】 前記スレイブターゲット装置が印刷回路基板であることを特徴とする、請求項1から4までのいずれか1項に記載の複数のJTAG準拠集積回路のテスト装置。

【請求項6】 前記マスタコントローラが、  
 複数の前記JTAGテストプロトコルおよび前記OCDSテストプロトコルを、同時に実行し、  
 前記選択された集積回路を並行してテストするために、  
 前記プログラマブルスイッチに、複数のスイッチ制御信号を供給するマルチマスタコントローラであることを特徴とする、請求項1から5までのいずれか1項に記載の複数のJTAG準拠集積回路のテスト装置。

【請求項7】 複数の集積回路をテストするためのテストシステムであって、各集積回路にはそれぞれ1つのテストプロトコルが対応し、前記集積回路のうちの少なくとも1つは、オンチップデバッグプロトコルを有する、1つの埋め込みデバッグ回路を含む、複数の集積回路をテストするためのテストシステムにおいて、  
 前記マスタコントローラに対して、必要に応じて、選択されたテストプロトコルを供給する、請求項1から7までのいずれか1項に記載の複数のJTAG準拠集積回路のテスト装置に接続されているホストコンピュータが設けられていることを特徴とする、複数の集積回路をテストするためのテストシステム。

【請求項8】 前記スレイブターゲット装置が、マルチプロセッサコンピュータシステムに含まれていることを特徴とする、請求項7に記載の複数の集積回路をテストするためのテストシステム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、第1の発明では、JTAG準拠集積回路のそれぞれに、それぞれ1つのテストプロトコルが対応し、JTAG準拠集積回路のうちの少なくとも1つは、埋め込みデバッグ回路を含むオンチップデバッグサポート(OCDS)集積回路である、複数のJTAG準拠集積回路のテスト装置に関し、第2の発明では、複数の集積回路をテストするためのテストシステムであって、各集積回路にはそれぞれ1つのテストプロトコルが対応し、前記集積回路のうちの少なくとも1つは、オンチップデバッグプロトコルを有する、1つの埋め込みデバッグ回路を含む、複数の集積回路をテストするためのテストシステムに関する。

【0002】本発明は、集積回路に関する。より詳細には、本発明は、集積回路をテストしデバッグするための方法を実施した装置およびシステムに関する。

## 【0003】

【従来の技術】この明細書において、テストプロトコルは、一般的に、デバッグプロトコルを含むものとする。

【0004】回路は、通常、印刷回路基板(PCボー

ド)に構成されている。これらの回路は、しばしば、複雑であり、多数の集積回路(IC)を含むこともあり、ICは、非常に様々なパッケージに組み込まれることもある。PCボード上のICの数およびパッケージの多様性は、ICの機能性と、それらの間の相互接続とをテストすることを困難にする。

【0005】複雑なPCボード回路をテストするために、境界スキャンテストなどのテストアーキテクチャおよびテストバスが、開発され、当技術分野において知られている。このタイプのテスト(一般的信号TCK、TMS、TDI、TDO、TRSTにより定義される)のアーキテクチャのためのIEEE標準が、開発され、IEEE1149.1またはJTAGとして知られている。しかしながら、境界スキャンテストが、効果的に、IEEE1149.1標準の下にPCボード回路を検査するためには、PCボード上のICのそれぞれは、同様にJTAG準拠である(境界スキャンと称される)対応するテストアーキテクチャを含まなければならない。

【0006】図1は、従来のJTAG準拠テストアーキテクチャ100を示す。テストアーキテクチャ100は、JTAG準拠コネクタ106および108を介して、スレイブJTAGターゲット104に接続されているマスタコントローラ102を含む。JTAGターゲット104は、直列に相互接続されている集積回路IC112~IC118から成る直列レジスタチェーン110を含む。境界スキャンテストの間、マスタコントローラ102は、直列レジスタチェーン110への制御情報およびデータ情報の両方を含む、データビットの前もって定められた列を、順次にスキャンしテストする。典型的には、この制御情報およびデータ情報は、実行する境界スキャンテストに特有のマスタコントローラ102により実行される特別なテストプロトコルにより供給される。制御情報は、IC112~118のそれぞれに含まれているステートマシンを制御する。ステートマシンは、レジスタと、供給されたデータ情報とを使用して、境界相互接続(120~124)と、関連するICとをテストする。各IC上のレジスタのうちの1つは、IC上のすべての入力ポート、出力ポート、および/または入出力ポートを含む境界スキャンレジスタである。

【0007】ある状況では、スレイブ装置104に含まれている集積回路のうちの1つ以上のものをテストすることは望ましくないこともある。このような場合、ソフトウェア"バイパス"が、これらの集積回路をバイパスするために、境界スキャンテストの開始の前に、JTAG命令"BYPASS"を使用して、実行される。特定の集積回路をバイパスするために、バイパスすべき集積回路に特有の"BYPASS"JTAG命令が、発生される。集積回路に含まれているステートマシンは、バイパス命令にตอบสนองして、任意の受信データ情報および制御情報が、集積回路の内部回路をバイパスするようにす

る。これは、實際上、実行する境界スキャンテストから前記特定のICを除外する。

【0008】しかしながら、いくつかの場合、集積回路の中の欠陥は、ソフトウェアバイパスが実行されるのを阻止する。このような場合、テストアーキテクチャ100の中で正確な境界スキャンテストを実行することは不可能である、何故ならば欠陥集積回路をバイパスすることが不可能であるからである。したがって、残りの集積回路を適切にテストするために、欠陥集積回路の物理的置換が必要となる。複雑な回路基板では、特定の集積回路の除去および取替えは、時間がかかったり、費用がかかることもあり、実用的でない。

【0009】集積回路の中にデバッグ回路装置を埋め込むことにより、設計者は、経済的に集積回路をデバッグする能力を大幅に向上して、設計および実現のコストを低減した。これは、特に、マイクロプロセッサなどの複雑かつ高価な集積回路にとって望ましい。したがって、集積回路製造業者は、かれらの複雑かつ高価な集積回路の中にこのようなオンチップデバッグ能力を組み込むことに興味をもっている。しかし、テストアーキテクチャ100は、たとえばSiemens Microelectronics, Inc. of San Jose, Californiaにより開発された、埋め込みプロブラエタリデバッグプロトコルをサポートできない、何故ならばJTAGコネクタ106および108は、所要のデバッグ情報をJTAGターゲット104に伝送するのに使用できないからである。

【0010】

【発明が解決しようとする課題】前述のことを勘案して、埋め込みデバッグプロトコルをサポートする、改善されたプログラマブルJTAGネットワークアーキテクチャを提供することが望ましい。

【0011】

【課題を解決するための手段】上記課題は、本発明により、第1の発明では、オンチップデバッグプロトコルを含む集積回路のそれぞれに、それぞれ対応するテストプロトコルを実行するために動作可能なマスタコントローラを具備し、コンフィギュレーションデータにしたがってマスタコントローラが指令するように、マスタコントローラと、集積回路のうちの選択されたものとの間にテストループを選択的に形成するプログラマブルスイッチを具備し、テストループは、テストプロトコルのうちの選択されたものを実行することを可能にし、集積回路のそれぞれにマスタコントローラを接続するデータバスを具備し、データバスは、データ信号および制御信号を、マスタコントローラと集積回路との間で伝送するのに使用され、データバスは、オンチップデバッグプロトコルを実行するにより解決され、第2の発明では、マスタコントローラに対して、必要に応じて、選択されたテストプロトコルを供給する、請求項1から7までのいずれか1項

に記載の複数のJTAG準拠集積回路のテスト装置に接続されているホストコンピュータが設けられていることにより解決される。

【0012】集積回路のそれぞれに、それぞれ1つのテストプロトコルが対応し、集積回路のうちの少なくとも1つに、オンチップデバッグプロトコルが対応する、複数の集積回路のテスト装置が、開示されている。より詳細には、本装置は、オンチップデバッグプロトコルを含む集積回路のそれぞれに対応するテストプロトコルを実行するために動作可能なマスタコントローラを含む。本装置は、コンフィギュレーションデータにしたがってマスタコントローラが指令するように、マスタコントローラと、集積回路の、選択されたものとの間にテストループを選択的に形成するためのプログラマブルスイッチも含む。テストループは、テストプロトコルのうちの、選択されたものを実行することを容易にする。本装置は、集積回路のうちのそれぞれに、マスタコントローラを接続するためのデータバスを含む。データバスは、マスタコントローラと集積回路との間でデータ信号および制御信号を伝送し、オンチップデバッグプロトコルを実行するように構成されている。

【0013】好ましい実施の形態では、マスタコントローラは、JTAGテストプロトコルを実行するように構成されている。データバスに接続されているJTAGコントローラと、OCDSテストプロトコルを実行するように構成されているオンチップデバッグサポート(OCDS)コントローラとを含む。マスタコントローラは、プログラマブルスイッチコントローラにスイッチ制御信号を供給する、プログラマブルスイッチに接続されているプログラマブルスイッチコントローラも含み、プログラマブルスイッチコントローラは、必要に応じて、テストする集積回路にJTAGコントローラを接続する。

【0014】JTAG準拠集積回路と、オンチップデバッグサポート(OCDS)集積回路を有するJTAG準拠集積回路とをテストするためのテストシステムも、開示されている。好ましい実施の形態では、マスタコントローラに接続されているホストコンピュータは、選択されたテストプロトコルを、必要に応じて、マスタコントローラに供給する。

【0015】本発明の別の実施態様は、印刷回路基板を含む。印刷回路基板は、複数の集積回路を含む。集積回路のそれぞれに、それぞれ1つのテストプロトコルが対応し、集積回路のうちの少なくとも1つは、埋め込みデバッグ回路を含む。埋め込みデバッグ回路に、オンチップデバッグプロトコルが対応する。印刷回路基板は、集積回路のそれぞれと、外部テスト回路装置との間にテストループを形成するための複数の導体路も含む。テストループは、テストプロトコルのうちの選択されたものを実行することを容易にする。印刷回路基板は、集積回路のそれぞれに接続されているデータバスも含む。データバスは、

集積回路と、外部テスト回路装置との間でデータ信号および制御信号を伝送する。データバスは、オンチップデバッグプロトコルを実行するのを容易にする。

【0016】集積回路のうちの選択されたものに、マスタコントローラを選択的に接続するために、マスタコントローラおよびプログラマブルスイッチを使用する、複数の集積回路のテスト方法も、開示されている。各集積回路に、それぞれ1つのテストプロトコルが対応し、集積回路のうちの少なくとも1つは、対応するオンチップデバッグプロトコルを有する埋め込みデバッグ回路を有する。本方法は、次の動作を含む。すなわち、マスタコントローラにテストプロトコルを供給する動作、第1のテストプロトコルを選択する動作、第1のテストプロトコルに対応する第1のスイッチコンフィギュレーションデータを、プログラマブルスイッチに伝送する動作、集積回路のうちの少なくとも1つに、マスタコントローラを接続するために、第1のスイッチコンフィギュレーションデータにしたがって、プログラマブルスイッチを構成する動作、第1のテストプロトコルを実行する動作、プログラマブルスイッチをリセットして、マスタコントローラを、集積回路の少なくとも1つから接続解除する動作、集積回路のうちの少なくとも1つに対応するステートマシナリをリセットする動作である。

【0017】集積回路のうちの選択されたものに、マスタコントローラを選択的に接続するために、マスタコントローラおよびプログラマブルスイッチを使用して、複数の集積回路をテストするためのコンピュータプログラムプロダクトも、開示されている。1つの実施態様では、各集積回路に、テストプロトコルが対応し、集積回路のうちの少なくとも1つが、対応するオンチップデバッグプロトコルを有する埋め込みデバッグ回路を含む。コンピュータプログラムプロダクトは、少なくとも1つのコンピュータ読取可能な媒体と、少なくとも1つのコンピュータ読取可能な媒体の中に埋め込まれているコンピュータプログラムメカニズムとを含む。コンピュータプログラムメカニズムは、コンピュータが、次の動作を実行するようにする。すなわち、マスタコントローラにテストプロトコルを供給する動作、第1のテストプロトコルを選択する動作、第1のテストプロトコルに対応する第1のコンフィギュレーションデータを、プログラマブルスイッチに伝送して、集積回路のうちの少なくとも1つに、マスタコントローラを接続するために、第1のコンフィギュレーションデータにしたがって、プログラマブルスイッチを構成する動作、マスタコントローラを作動して、第1のテストプロトコルを実行させる動作、マスタコントローラを作動して、プログラマブルスイッチをリセットさせて、マスタコントローラを、集積回路のうちの少なくとも1つから接続解除する動作、マスタコントローラを作動して、集積回路のうちの少なくとも1つに対応するステートマシナリをリセットする動作であ

る。

【0018】前述の配置は、多数の利点を有し、一定のボードレベルテストを実行するために、欠陥（機能しない）集積回路を物理的に除去する必要性を除去する。さらに、本発明により、従来のJTAGテスト回路に加えて、強力な、増強された、埋め込みオンチップデバグサポート特徴をフルに利用することが可能となる。本発明は、マルチプロセッサコンピュータシステムなどの、ローカルまたは遠隔の、（印刷回路基板を含む）任意の数のスレイブターゲット装置に装着されている、任意の数の異なる集積回路をテストすることを可能にする。前述の本発明は、マイクロプロセッサなどを含むが、これに制限されない、機能テストを必要とする、任意の集積回路において、良好に機能する。

【0019】本発明を、実施例を用いて説明するが、これに制限されず、添付の図面の図において、同一の参照番号は同一の部分を示す。

【0020】

【発明の実施の形態】本発明の以下の詳細な説明において、多数の特定の実施の形態が、本発明を完全に理解できるように、記載されている。しかしながら、当業者には自明のように、本発明は、これらの特定の細部を使用することなく、または、代替的な要素またはプロセスを使用することにより、実施できる。他の実施例では、良く知られているプロセス、プロシージャ、構成要素、および回路は、本発明の態様を不必要に理解困難にしないように、詳細には説明されていない。

【0021】まず初めに、図2において、本発明の実施の形態に係るテストネットワーク200が例示されている。テストネットワーク200は、プログラマブルスイッチ204に接続されているマスタコントローラ202を含む。プログラマブルスイッチ204は、JTAG標準集積回路IC1～IC4を含むスレイブターゲット装置206に接続されている。本発明の好ましい実施の形態では、集積回路IC1～IC4のうちの少なくとも1つは、オンチップ（on-chip）デバグ回路を有するオンチップデバグサポート（OCD S）集積回路である。したがって、ここでの説明のみのために、IC1は、OCD S回路208を有するOCD Sタイプ集積回路であると仮定し、これに対して、IC2～IC4は、JTAG標準にもかわらず、JTAGテスト回路（図示せず）のみを含むと仮定する。実際では、集積回路IC1～IC4のうちのいずれかが、またはすべてが、OCD Sタイプ集積回路であることもあり、または、いずれも、OCD Sタイプ集積回路でないこともあることに注意されたい。

【0022】本発明の好ましい実施の形態では、マスタコントローラ202は、I/Oライン211-1および211-2により、プログラマブルスイッチ204に接続されているJTAGコントローラ210を含む。JT

AGコントローラ210は、JTAG標準集積回路に含まれているJTAGテスト回路装置により使用されるJTAGテストプロトコルを提供する。当技術分野において良く知られているように、テストプロトコルは、典型的には、テストする集積回路が適切に機能しているかどうかを評価するために、対応するテスト回路により使用される、テストベクトルなどの命令を含む。

【0023】マスタコントローラ202も、データバス214によりスレイブターゲット装置206に接続されているOCD Sコントローラ212を含む。スレイブターゲット装置206は、データバス214を、集積回路IC1～IC4のそれぞれに接続する（典型的にはトレースの形の）導電バスを提供する。マスタコントローラ202に含まれているTMS信号発生器216も、データバス214およびJTAGコントローラ210に接続され、JTAGコントローラ210により指定されて、JTAG標準ステートマシン制御信号（TMS）を、集積回路IC1～IC4のそれぞれに供給する。

【0024】マスタコントローラ202も、プログラマブルスイッチ204に接続されているスイッチコントローラ218を含む。以下に詳細に説明するように、スイッチコントローラ218は、スイッチ制御信号を送出し、このスイッチ制御信号はプログラマブルスイッチ204により使用され、これにより、テストする集積回路IC1～IC4のうちの選択された1つを、I/Oライン211によりJTAGコントローラ210に接続する。好ましい有利な実施の形態では、JTAGコントローラ210と、集積回路との間の接続は、フィードバックループの形になっており、フィードバックループはテスト下で、集積回路に含まれているJTAGテスト回路にテスト命令を供給するために、JTAGコントローラ210が使用するフィードフォワードバスを含む。JTAGテスト回路は、対応するフィードバックバスを使用して、対応するテスト結果に相応して、JTAGコントローラ210に応答する。例として、集積回路IC1が、対応するJTAGテストプロトコルを使用してJTAGコントローラ210により機能的にテストされる。ただ1つの集積回路の場合、スイッチコントローラ218は、プログラマブルスイッチ204を制御して、I/Oライン211-1をフィードフォワードライン220に接続させ、フィードバックワードライン222をI/Oライン211-2に接続させる。このようにして、JTAGコントローラ210は、スレイブターゲット装置206に含まれている他の集積回路のいずれもテストせずに、集積回路IC1のみをテストすることが可能である。

【0025】集積回路を収容できるスレイブターゲット装置206上の各ロケーションに、対応する目的地アドレス（DA）が対応することに注意されたい。このようにして、スレイブターゲット装置206上に収容されて

いる特定の集積回路のロケーションは、容易にかつ一義的に識別できる。いったん識別されると、スレイブターゲット装置206上のその特定のロケーションにおける集積回路のタイプ(すなわち、JTAG、OCDS)も、確認できる。図3は、本発明の実施の形態に係る、例としてのスレイブターゲット装置300を示す。図示のように、たとえばIC1~IC4などの集積回路を収容できるスレイブターゲット装置300上の各ロケーションは、目的地アドレスである。この特定の場合、IC1は、目的地アドレスD<sub>1</sub>に対応するスレイブターゲット装置300上のロケーションに位置し、これに対して、IC2は、目的地アドレスD<sub>2</sub>に対応するロケーションに位置する、以下同様。JTAGに準拠することにより、目的地アドレスは、グローバルビットフレームの中のビットロケーションに対応する。

表1

コンフィギュレーションデータ

目的地アドレス	IC識別	ICタイプ	テストされたか?
D1	IC1	OCDS	イエス
D2	IC2	JTAG	ノー
D3	IC3	JTAG	ノー
D4	IC4	JTAG	イエス

表1に示されているコンフィギュレーションデータは、マスタコントローラ202に、テストする集積回路のロケーションと、それらのそれぞれのタイプとを供給する。

【0028】表1に示されているコンフィギュレーションデータにより表されるテスト環境を設定するために、マスタコントローラ202は、プログラマブルスイッチ204に、コンフィギュレーションデータに含まれている目的地アドレスを基礎とする、適当なスイッチ制御信号を供給する。テスト優先データ(すなわちテスト順序)も、含むようにすることができる。たとえば、集積回路IC1が、前述のように、テストすべき最初の集積回路である場合、マスタコントローラ202は、スイッチ制御信号SC<sub>IC1</sub>を送信し、スイッチ制御信号SC<sub>IC1</sub>は、プログラマブルスイッチ204を制御して、マスタコントローラ202と集積回路IC1との間にフィードバックループを形成させる。いったんフィードバックループが形成されると、マスタコントローラ202は、適当なテスト命令を実行して、集積回路IC1の機能性を評価する。IC1のテストが完了すると、プロセスは、マスタコントローラ202により実行されたテストプロトコルを基礎としてテストすべきすべての集積回路に対して、繰り返される。

【0029】集積回路を収容するのに使用されるスレイブターゲット装置上のロケーションを識別するのに、目的地アドレスを使用することにより、非常に様様なテスト環境を形成する際、高い柔軟性が可能となる。集積回路に欠陥がある場合、例えば、境界スキャンテストを、単に欠陥集積回路の目的地アドレスを識別することにより、機能集積回路のみを使用して行うことができる。テ

より、目的地アドレスは、グローバルビットフレームの中のビットロケーションに対応する。

【0026】スレイブターゲット装置上の各ロケーションを一義的に識別することにより、特定のテスト形態を表すコンフィギュレーションデータを使用して、非常に様様なテスト状況を設定できる。集積回路IC1が、IC1~IC4のうち、OCDS回路208を含むただ1つのものであるという、上記の例において、表1は、テストすべきスレイブターゲット装置300に含まれている集積回路と、それらのそれぞれのタイプ(すなわちJTAGのみ、OCDS)とを識別する、可能なコンフィギュレーションデータを表す。

【0027】

ストプロトコルはこの場合、従来のテストネットワークにおいて典型的な、高価で時間のかかる再配線または置換なしに、ハードウェアを使用して、欠陥集積回路をバイパスできる。

【0030】さらに、テストすべき特定の集積回路がまだ使用可能でない場合(すなわち、それらはまだ設計されていない、高価すぎるなどの場合)、使用可能な集積回路は、それでも同様に集積回路のないロケーションをバイパスすることによりテストできる。

【0031】図4において、本発明の実施例のプログラマブルスイッチ400が例示されている。プログラマブルスイッチ400は、図2に示されているプログラマブルスイッチ204の1つの可能な実施の形態にすぎないことに注意されたい。プログラマブルスイッチ400は、いわゆる“クロスバー”スイッチを形成する水平データライン404にプログラマブルに接続されている垂直データライン402を含む。垂直データライン402と水平データライン404とは、プログラマブルコネクタを使用して、選択的に電氣的に互いに接続でき、これにより、制御信号およびデータ信号を通すのに適する信号バスを提供する。分かり易くするために、僅かな数の使用可能なプログラマブルコネクタしか示されておらず、実際では、プログラマブルコネクタは、水平データラインと垂直データラインとの各交差個所に位置する。垂直データライン402は、垂直データラインコントローラ406に接続され、コントローラ406は、スイッチコントローラ218に接続され、水平データライン404は、水平データラインコントローラ408に接続され、水平データラインコントローラ408は、スイッチコントローラ218に接続されている。水平データライ



ン404のそれぞれは、プログラマブルスイッチI/Oライン410のうちの1つに接続されている。プログラマブルスイッチI/Oライン410のそれぞれは、対を成して、ターゲットハードウェア装置206上に位置する集積回路IC1~IC4に接続されている。例として、水平データライン404-1は、プログラマブルスイッチI/Oライン410-1に接続され、水平データライン404-2は、プログラマブルスイッチI/Oライン410-2に接続されている。上記の例において、I/Oライン410-1および410-2は、フィードフォワードライン220およびフィードバックワードライン222に接続されている。

【0032】IC1をJTAGコントローラ210に選択的に接続するために、水平データラインコントローラ408は、プログラマブルコネクタ412-1および412-2を使用して、水平データライン404-1を垂直データライン402-1に接続させ、水平データライン404-2を垂直データライン402-2に接続させる。垂直データラインコントローラ406は、プログラマブルコネクタ412-3を使用して、I/Oライン211-1を介して、垂直データライン402-1をJTAGコントローラ210に接続させる。次いで、垂直データラインコントローラ406は、プログラマブルコネクタ412-4を使用して、I/Oライン211-2を介して、垂直データライン402-2をJTAGコントローラ210に接続させる。このようにして、テストフィードバックループが、JTAGコントローラ210と、集積回路IC1との間に形成される。この時点で、マスタコントローラ202は、JTAGコントローラ210を制御して、集積回路IC1に対応する適当なJTAGテストプロトコル（またはアプラインエタリOCDSトランザクション）を実行させる。

【0033】ある状況では、2つ以上の集積回路を直列に接続する（またはデジチェーンする）ことが望ましい。このような状況は、JTAGチェーンバスが、前述のように実行される場合に発生する。図5は、本発明の実施の形態により、選択された集積回路IC2およびIC3に、境界スキャンテストを行うように構成されている回路を示す。プログラマブルスイッチ400は、別のプログラマブルコネクタを使用して、以下のように、適当なテスト回路を形成する。スイッチコントローラ218は、適当なスイッチ制御信号を、水平データラインコントローラ408および垂直データラインコントローラ406に伝送する。この場合、水平データラインコントローラ408は、プログラマブルコネクタ412-5を使用して、垂直データライン402-3を水平データライン404-3に接続し、プログラマブルコネクタ412-6を使用して、水平データライン404-4を垂直データライン402-4に接続する。プログラマブルコネクタ412-7は、垂直データライン402-4を

水平データライン404-5に接続するために使用され、プログラマブルコネクタ412-8は、水平データライン404-6を垂直データライン404-5に接続するために使用される。垂直データラインコントローラ406は、次いで、プログラマブルコネクタ412-9を使用して、I/Oライン211-2を介して、垂直データライン402-5をJTAGコントローラ210に接続する。垂直データラインコントローラ406は、プログラマブルコネクタ412-10を使用して、I/Oライン211-1を介して、垂直データライン402-3をJTAGコントローラ210に接続する。このようにして、集積回路IC3およびIC2を、スレイブターゲット装置206に含まれているいかなる他の集積回路もテストせずに、テストすることが可能であり、JTAGバスの中でデジチェーン化されている。

【0034】図6は、本発明の実施の形態に係るテストネットワーク600の例を示す。テストネットワーク600は、プログラマブルスイッチ604に接続されているマスタコントローラプログラマブルスイッチ602を含む。プログラマブルスイッチ604は、例えばSiemens Microelectronics, Inc. of San Jose, CAにより製造されるTRICORE™ラインのマイクロコントローラとするマイクロプロセッサIC608を有するスレイブターゲット装置606に接続されている。スレイブターゲット装置606は、関連するコントローラチップも含む。このようなコントローラチップは、例えばAdvanced Micro Devices, Inc. of Sunnyvale, CAにより製造されるVANTIS™ラインのCPLD製品のうちの対応するI/OコントローラIC610およびアドレスコントローラIC612を含む。したがって、マイクロプロセッサIC608は、マスタコントローラ602により実行されるOCDSデバッグプロトコルに応答するOCDS回路609を含み、I/OコントローラIC610およびアドレスコントローラIC612は、JTAG準拠のみであり、したがって、同様にマスタコントローラ602により実行される、それら自身のJTAGテストプロトコルに応答する。したがって、マスタコントローラ602は、必要に応じて、複数のテストプロトコルを実行するように構成されている。

【0035】マスタコントローラ602は、JTAGコントローラ614を含む。JTAGコントローラ614は、“VANTIS”JTAGテストプロトコルに対してテストする集積回路に特有のJTAGテストプロトコルデータを格納する“VANTIS”JTAGレジスタ616を含む。JTAGコントローラ614は、TRICOREデバッグプロトコルと整合する、マイクロプロセッサIC608に特有のJTAGテストプロトコルデータを格納する“TRICORE”JTAGレジスタ61



8も含む。このようにして、マスタコントローラ602は、必要に応じて、VANTISテストプロトコルまたはTRICOREデバッグプロトコルを提供することができる。リセット（ディスエーブル）レジスタ620は、TMSリセット（ディスエーブル）信号を提供するために使用される。マスタコントローラ602は、プログラマブルスイッチ604を介して、OCDS回路609にプログラマ的に接続されているOCDSコントローラ622も含む。クロック回路TCKは、クロック信号を、集積回路IC608、IC610、およびIC612のそれぞれに供給する。

【0036】プログラマブルスイッチ604は、テストする集積回路のタイプに対応するTDI信号を選択する第1のマルチプレクサ624を含む。たとえば、マスタコントローラ602が、マイクロプロセッサIC608をテストする場合、第1のマルチプレクサ624は、TRICORE JTAGテストプロトコルに対応するTDI信号を選択する。しかしながら、マスタコントローラ602が、VANTIS集積回路IC610およびIC612のいずれか一方または両方をテストする場合、第1のマルチプレクサ624は、VANTISテストプロトコルに対応するTDI信号を選択する。第2のマルチプレクサ626および第3のマルチプレクサ628は、使用するテストプロトコルに対応して、それぞれ、TRS信号およびTMS信号の選択を可能にする。TRICORE結果レジスタ630は、マイクロプロセッサIC608からテスト結果を受け取り、VANTIS結果レジスタ632は、VANTIS集積回路IC610およびIC612からテスト結果を受け取る。複数のICのテストを行う状況では、（バーチャル回路の一部であることもある）セクタ634が、IC608の出力側をIC610の入力側に導く。このようにして、シリアルチェーンが形成される。

【0037】図7は、本発明の実施の形態に係るテストシステム700を示す。テストシステム700は、テストネットワーク703に実行可能な命令を供給するように構成されているホストコンピュータ702を含む。テストネットワーク703は、プログラマブルスイッチ706に接続されているマスタコントローラ704を含む。プログラマブルスイッチ706は、これに接続されている集積回路708〜714を有するスレイブターゲット装置707に接続されている。

【0038】操作中、ホストコンピュータ702は、集積回路708〜714のうちのいずれをテストするかを選択するためのユーザインターフェースを提供する。このようにして、テストシステム700は、たとえば印刷回路基板を機能的にテストするのに柔軟なアプローチを提供する。ユーザが、ただ1つの集積回路、たとえばIC708のみをテストすることを望む場合、ホストコンピュータは、必要なコンフィギュレーションデータをマ

スタコントローラ704に提供し、マスタコントローラ704は、プログラマブルスイッチ706を制御して、IC708をマスタコントローラ704に選択的に接続させる。たとえば境界スキャンテストをIC710およびIC712で行う場合、ホストコンピュータ702は、対応するコンフィギュレーションデータをマスタコントローラ704に供給する。マスタコントローラ704は、次いで、プログラマブルスイッチ706を制御して、IC710およびIC712のみを、直列にマスタコントローラ704に接続させる。

【0039】ある状況では、スレイブターゲット装置707に含まれている1つ以上の集積回路が、欠陥を有する。この状況では、ホストコンピュータ702は、命令をマスタコントローラ704に供給し、マスタコントローラ704は、この命令を使用して、プログラマブルスイッチ706を制御して、バイパスを提供するために欠陥集積回路自身に依存することなしに、欠陥集積回路をバイパスする。このようにして、テストシステム700は、印刷回路基板を機能的にテストするために、欠陥集積回路を置換する必要性をほぼ除去した、テストシステムアーキテクチャの柔軟なアプローチを提供する。テストシステム700は、一定の集積回路が、たとえばデザインサイクルの遅れ、制限された使用可能性などに起因して使用可能でないシステムをテストすることも可能にする。このようにして、テストシステム700は、デザインサイクル時間を改善することを可能にする、何故ならば印刷回路基板のテストは、たとえば、個々の集積回路に関連する問題にかかわらず、行うことができるからである。

【0040】テストシステム700は、埋め込みチップデバッグ回路が多い集積回路をテストすることも可能にする、何故ならばマスタコントローラ704は、境界スキャン、OCDSなどに関連する、任意の数の所望のJTAGプロトコルを提供することができるからである。

【0041】図8は、複数のスレイブターゲット装置を有するテストシステム800を示す。テストシステム800は、マスタコントローラ804に接続されているホストコンピュータ802を含む。マスタコントローラ804は、スレイブターゲット装置TD<sub>1</sub>〜TD<sub>n</sub>のうちのいずれかに含まれている任意の集積回路（図示せず）を選択するプログラマブルスイッチ806に接続されている。したがって、遠隔またはローカルの、任意の数のスレイブターゲット装置は、必要に応じて、プログラマブルスイッチ806にプログラマブルに接続できる。このようにして、任意の数のスレイブターゲット装置は、相互に、または、マスタコントローラ804からホストコンピュータ802と同様に遠隔に位置することができる。これにより、たとえば、マルチプロセッサコンピュータシステムの中に位置する、多数の異なるスレイブターゲット装置上に含まれている集積回路を機能的にテス

トすることが可能となる。実際では、マルチプロセッサコンピュータシステムは、システムの中の様々なロケーションに位置する、典型的には“マザーボード”および複数の“アドオンボード”の形をとる、(プラットフォームと称されることもある)印刷回路基板の形の多数の異なるスレイブターゲット装置を有する。

【0042】図9は、本発明の実施の形態に係る集積回路をテストするための1つの可能なプロセスフローチャート900を示す。以下に詳細に説明するプロセスは、図7のテストシステム700を参照することに注意されたい。図示のように、テストプロセスは、選択されたテストプロトコルをマスタコントローラの中にロードする(902)ことにより開始する。テストプロトコルは、マスタコントローラに接続されているホストコンピュータに格納することができるか、または、テストプロトコルは、メモリコントローラに接続されているメモリ装置に格納することができる。いずれの場合にも、テストプロトコルは、集積回路を適当にテストすることができるように、マスタコントローラのための実行可能な命令を供給する。いったん適当なテストプロトコルがマスタコントローラにロードされると、マスタコントローラは、すべてのレジスタ、I/Oポートなどを初期化する(904)。いったんマスタコントローラが初期化されると、テストプロトコルは、テストすべき集積回路に基づいて選択される(906)。いったんテストプロトコルが選択されると、選択されたテストプロトコルに関連するコンフィギュレーションデータが、プログラマブルスイッチに送信される(908)。いったん受信されると、プログラマブルスイッチは、コンフィギュレーションデータを使用して、適当な集積回路をマスタコントローラに接続する(910)。マスタコントローラは、次いで、選択されたテストプロトコルを実行し(912)、次いで、すべての接続が終了される(914)。いったん接続が終了すると、テストされたすべての集積回路のためのステートマシンが、リセットされる(916)。次いで、別のテストプロトコルを選択するかどうかの決定が行われる(918)。ノーの場合、テストプロセスは停止する。しかしながら、別のテストプロトコルを選択することが決定された場合、新テストプロトコルが選択され、プロセスが継続される。

【0043】図10は、本発明の実施の形態に係る典型的なコンピュータシステムを示す。コンピュータシステム1000は、一次記憶装置1006(典型的にはRAM)、一次記憶装置1004(典型的にはROM)を含む記憶装置に接続されている、任意の数のプロセッサ1002(中央演算処理装置すなわちCPUとも称される)を含む。当技術分野において周知のように、一次記憶装置1004は、データおよび命令を単方向でCPUに転送するように動作し、一次記憶装置1006は、典型的には、データおよび命令を双方向で転送するために

使用される。これらの一次記憶装置は両方とも、任意の適当な前述のコンピュータ読取可能な媒体を含むこともある。大容量記憶装置1008は、双方向でCPU1002にも接続され、付加的なデータ記憶容量を提供し、任意の前述のコンピュータ読取可能な媒体を含むこともある。大容量記憶装置1008は、プログラム、データなどを記憶するのに使用され、典型的には、一次記憶装置より遅いハードディスクなどの二次記憶装置である。大容量記憶装置1008に格納されている情報を、適当な場合、バーチャルメモリとして一次記憶装置1006の一部として標準の方法で組み込むことが可能である。CD-ROM1014などの特別の大容量記憶装置も、データを単方向でCPU1002に伝送する。

【0044】CPU1002も、ビデオモニター、トラックボール、マウス、キーボード、マイクロホン、タッチセンシティブディスプレイ、トランスデューサカードリーダー、磁気または紙テープリーダー、タブレット、スタイラス、音声および手書き認識器、あるいは他の公知の入力装置、たとえば、勿論、他のコンピュータなどの、1つ以上の入出力装置を含むインターフェース1010にも接続されている。最後に、CPU1002は、選択的に、1012に示されているように、ネットワークコネクションを使用して、コンピュータまたはテレコミュニケーションネットワークに接続することができる。このようなネットワークコネクションの場合、CPU1002は、前述の方法のステップを実行する過程において、情報をネットワークから受信するか、または、情報をネットワークに出力するようになっている。上述の装置および材料は、コンピュータハードウェアおよびソフトウェア技術における当業者には自明である。

【0045】前述の構成は、多数の利点を有し、埋め込みデバッグ回路を多数有する集積回路をテストすることを可能にする。さらに、任意に選択されるテストモードにより、外部で発生されるテストベクトルを使用して集積回路を迅速にテストする能力を増強することができる。前述のテストネットワークおよび方法は、たとえば、非常に様々なプロセス技術により製造された、マイクロプロセッサなどの非常に様々な集積回路において、良好に機能する。

【0046】本発明の僅かな数の実施の形態について詳細に説明したが、本発明は、本発明の精神または範囲から逸脱することなく、多数の他の特別の形態で実施できる。特に、本発明は、主に印刷回路基板に関連して説明したが、非常に様々な状況に柔軟に応答することを含む利点は、任意のパッケージ化集積回路に適用できる。

【0047】さらに、テスト特性は、特定のシステムの必要性に応じて変化させることができる。例として、製造業者の特定のテストプロトコルを使用して、新テストプロシージャを開発する必要性なしに、特定の装置をテストすることができる。これにより、技術開発のための

時間および努力が不要となる。したがって、本実施例は、単なる例として考えるべきで、本発明を制限するものではなく、添付の請求の範囲内で変更できる。

【図面の簡単な説明】

【図1】従来のJTAGテストネットワークである。

【図2】本発明の実施例のテストネットワークである。

【図3】本発明の実施例のスレイブターゲット装置を示す。

【図4】本発明の実施例のプログラマブルスイッチを示す。

【図5】本発明の実施例の、選択された集積回路に境界スキャンを行うテスト回路を示す。

【図6】本発明の実施例の、OCDSタイプ集積回路およびJTAG準拠形集積のみ回路の両方を有するテストネットワークを示す。

【図7】本発明の実施例のテストシステムである。

【図8】複数のスレイブターゲット装置を有するテストシステムを示す。

【図9】本発明の実施例の集積回路をテストするためにテストネットワークを使用するプロセスを詳細に示すフローチャートである。

【図10】本発明の実施例の、典型的なコンピュータシステムを示す。

【符号の説明】

100 テストアーキテクチャ

102 マスタコントローラ

104 スレイブJTAGターゲット

106, 108 JTAGコネクタ

110 直列レジスタチェーン

200 テストネットワーク

202 マスタコントローラ

204 プログラマブルスイッチ

206 スレイブターゲット装置

210 JTAGコントローラ

211 I/Oライン

211-1, 211-2 I/Oライン

212 OCDSコントローラ

214 データバス

218 スイッチコントローラ

220 フィードフォワードライン

222 フィードバックワードライン

300 スレイブターゲット装置

400 プログラマブルスイッチ

402 垂直データライン

402-1, 402-2, 402-3 垂直データライン

404 水平データライン

404-1~404-5 水平データライン

406 垂直データラインコントローラ

408 水平データラインコントローラ

410-1, 410-2 プログラマブルスイッチI/Oライン

412-1~412-9 プログラマブルコネクタ

600 テストネットワーク

602 マスタコントローラ

604 プログラマブルスイッチ

606 スレイブターゲット装置

608 マイクロプロセッサIC

609 OCDS回路

610 I/OコントローラIC

612 アドレスコントローラIC

614 JTAGコントローラ

616 "VANTIS" JTAGレジスタ

620 リセット(ディスエーブル)レジスタ

622 OCDSコントローラ

624 第1のマルチプレクサ

626 第2のマルチプレクサ

628 第3のマルチプレクサ

630 TRICORE結果レジスタ

632 VANTIS結果レジスタ

634 セレクタ

700 テストシステム

702 ホストコンピュータ

703 テストネットワーク

706 プログラマブルスイッチ

707 スレイブターゲット装置

800 テストシステム

802 ホストコンピュータ

804 マスタコントローラ

806 プログラマブルスイッチ

900 プロセスフローチャート

1000 コンピュータシステム

1002 CPU

1004 一次記憶装置

1006 一次記憶装置

1008 大容量記憶装置

1010 インターフェース

1012 ネットワークコネクション

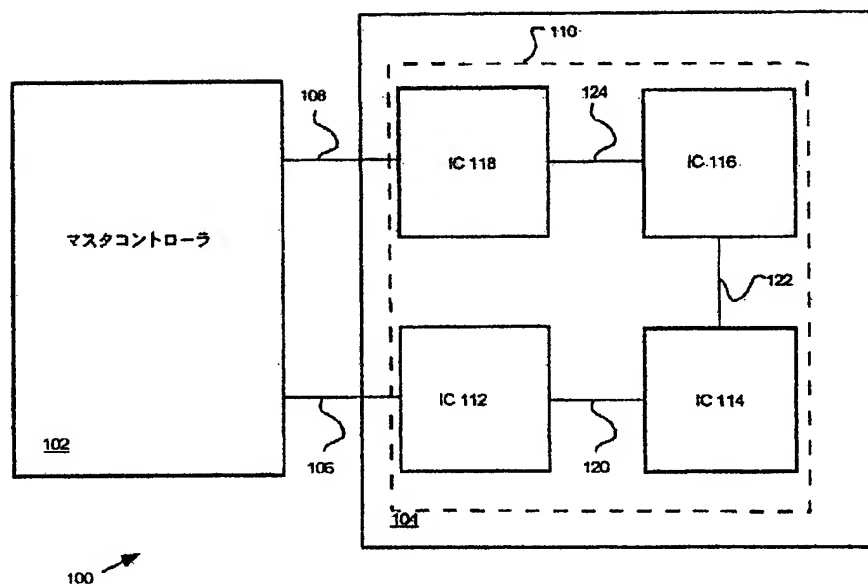
IC1~IC6 集積回路

IC708~714 集積回路

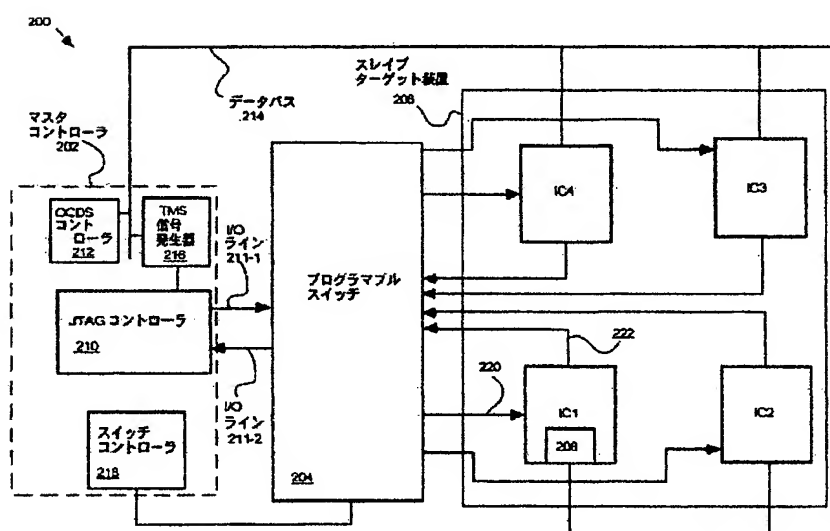
D<sub>1</sub>, D<sub>2</sub> 目的地アドレス

TD<sub>1</sub>~TD<sub>n</sub> スレイブターゲット装置

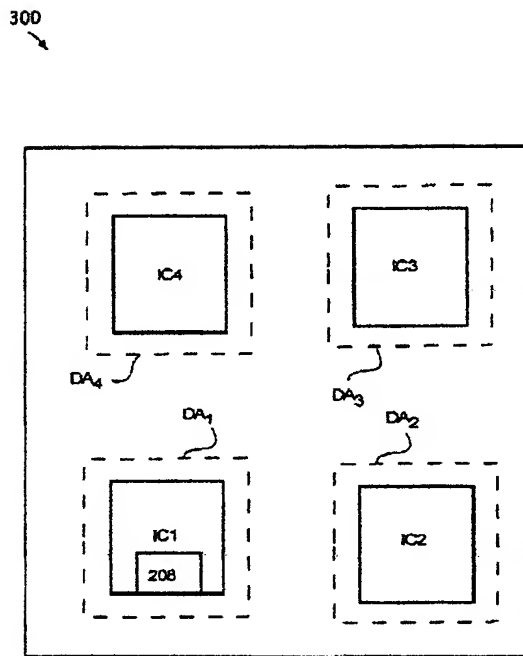
【図1】



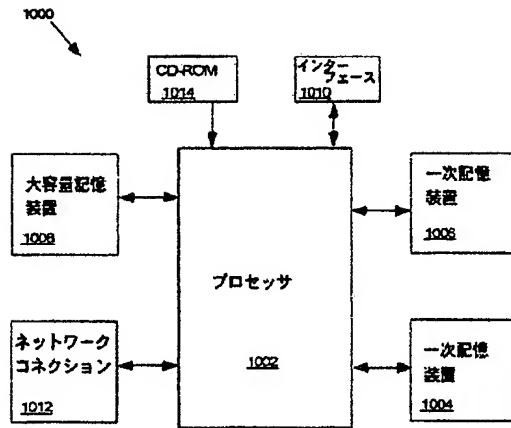
【図2】



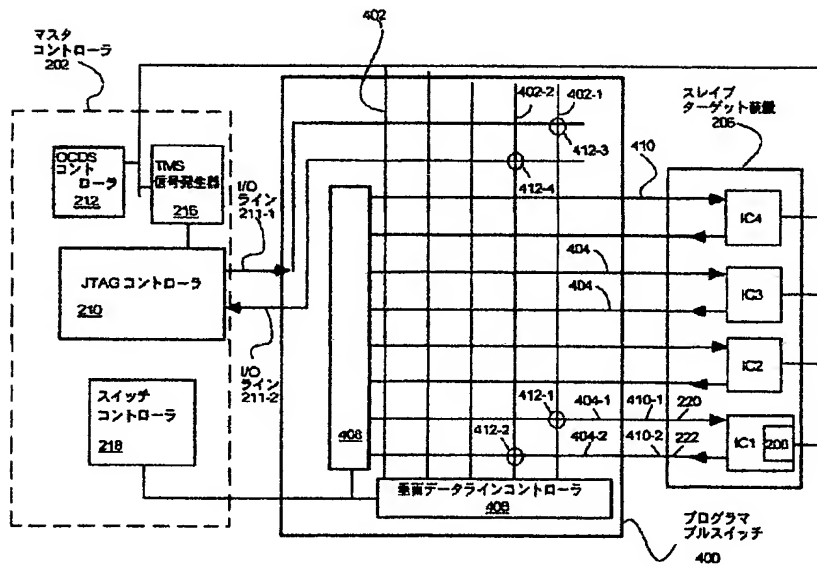
【図3】



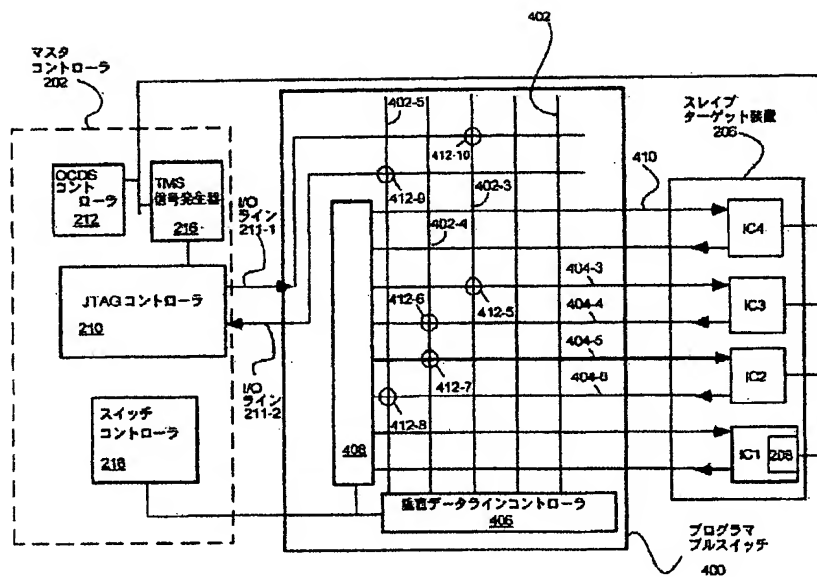
【図10】



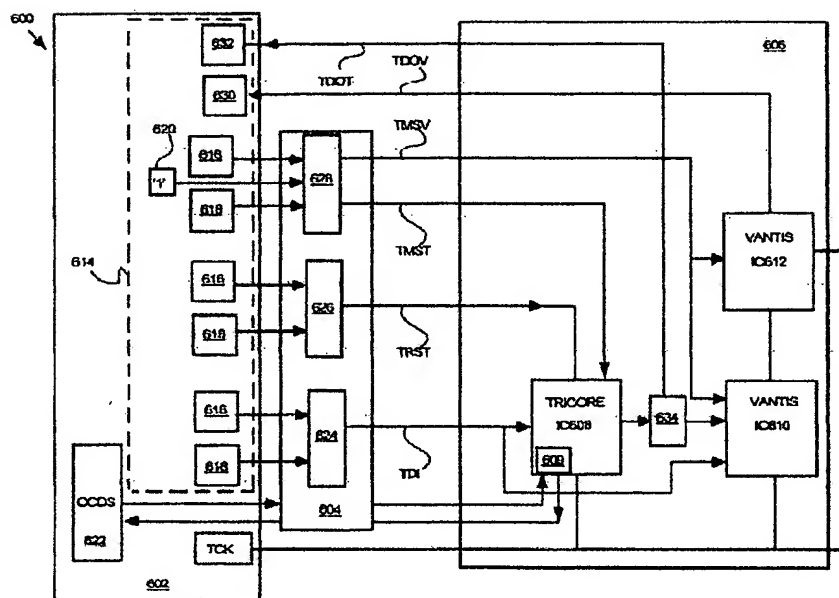
【図4】



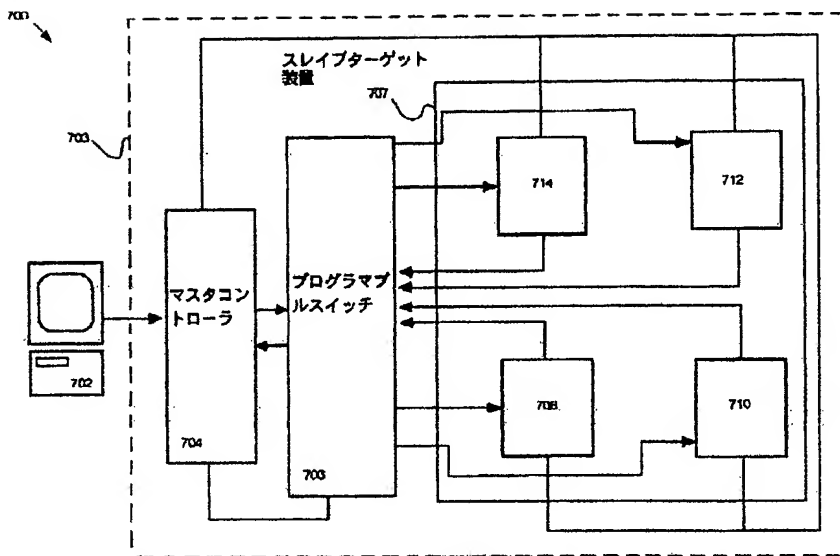
【图5】.



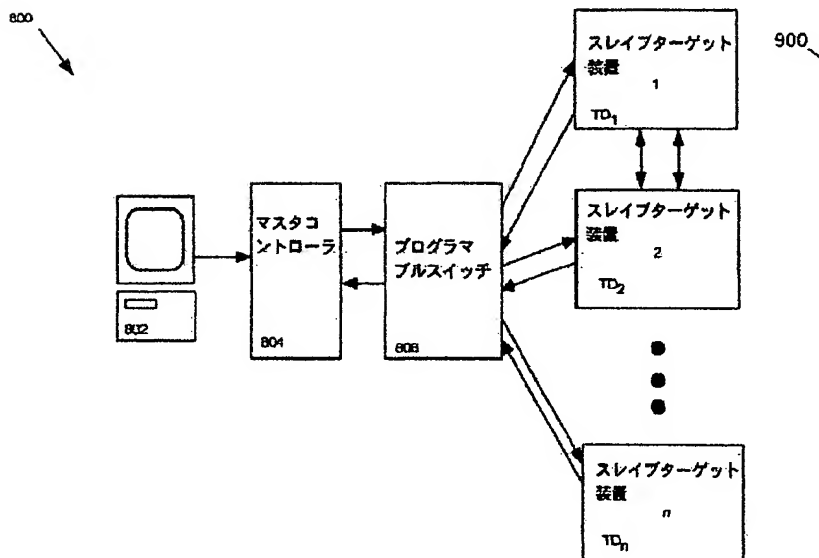
【图6】



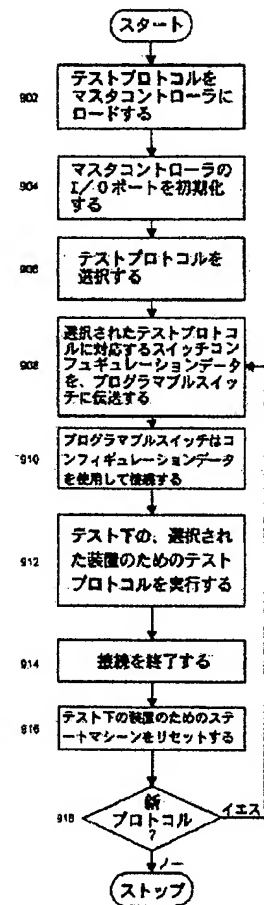
【図7】



【図8】



【図9】





フロントページの続き

(71)出願人 399035836

1730 North First Stre  
et, San Jose, CA, USA

(72)発明者 オリヴィエ ガロ

アメリカ合衆国 カリフォルニア サンタ  
クララ カーリスル アヴェニュー  
3767